



全志科技
Allwinner Technology

H618 原型机硬件设计指南 V1.0

文档版本 V1.0

发布日期 2022-04-27

修订记录

版本	修订日期	描述
V1.0	2022-04-27	初始版本

目录

H618 原型机硬件设计指南 V2.1	1
概述	3
1. 原理图设计	4
1.1. 系统硬件框图	4
1.2. 硬件系统基本工作原理	4
1.3. CPU 及 CPU 周边	5
1.3.1. 24M 时系统	5
1.3.2. SOC 重要 pin 说明	5
1.4. 电源方案设计	7
1.4.1. SOC 旁路电容	7
1.4.2. 供电电源方案	7
1.4.3. 上电时序	8
1.5. DRAM 设计	8
1.6. eMMC&Nand	8
1.7. Audio	9
1.8. HDMI	9
1.9. 网口设计	10
1.10. SDCARD	10
1.11. USB	11
1.12. WIFI 射频电路	12
1.13. TVOUT	12
2. PCB 设计要点	13
2.1. 叠层设计	13
2.2. SOCfanout	13
2.3. 24M 晶振	14
2.4. DRAM	14
2.5. NAND-EMMC	15
2.6. USB	16
2.7. 音频	16
2.8. HDMI	16
2.9. Card	16
2.10. WIFI 和天线	17
2.11. 电源	18
2.12. EPHY	18
2.13. TVOUT	19
2.14. 散热	19
2.15. ESD	20
3. Declaration	21

概述

本文档主要介绍 H618 芯片在 OTT 盒子应用方案设计中的原理图和 PCB 设计要点和注意事项。

本文档目的在于指导客户设计，遇到硬件相关问题能够快速查询相关设计资讯。

读者对象

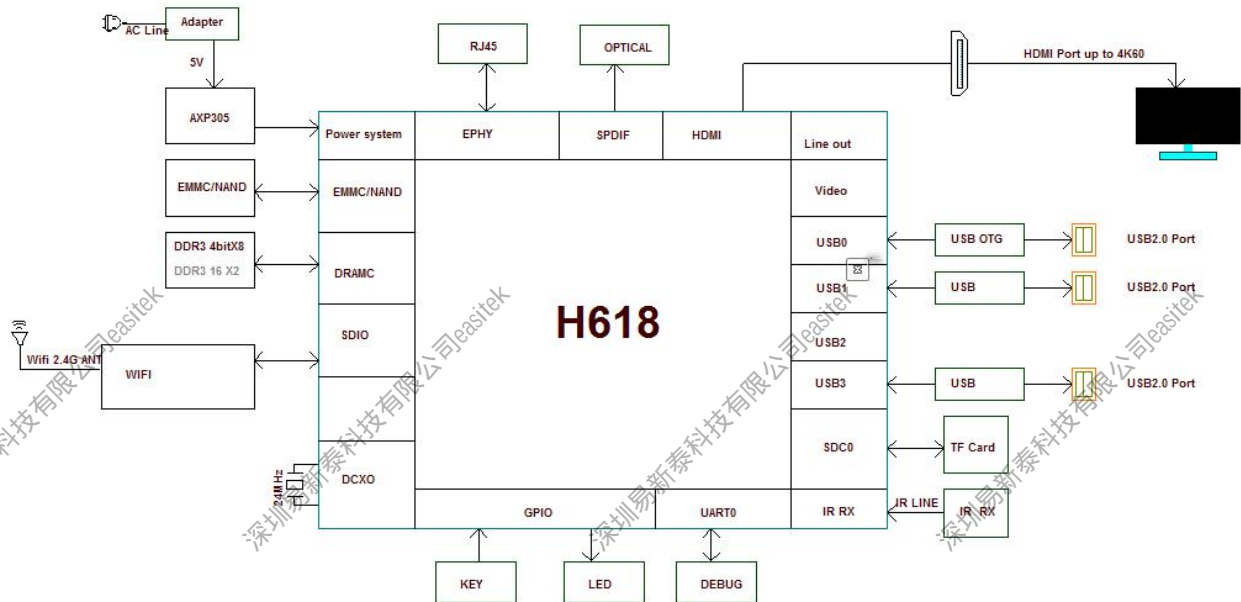
本文档（本指南）主要适用于以下工程师：

技术支持工程师

硬件开发工程师

1. 原理图设计

1.1. 系统硬件框图



1.2. 硬件系统基本工作原理

硬件系统基本工作流程如下：

- 硬件系统正常上电，主控复位之后，CPU 开始执行 BROM 固化代码，对系统资源和关键外设进行配置及初始化，包括电源，时钟，总线，复位，存储接口等。
- 根据配置，在 BROM 阶段将系统初始化信息（串口、DRAM 等）从存储介质读取到系统 SRAM，进行芯片及系统的进一步详细配置和初始化工作；执行完 Boot0 程序后进入 U-boot 阶段。
- 从外部存储介质中读取下一阶段需要的软件代码，启动操作系统，并对系统资源和外设进行管理。
- 操作系统启动之后，根据产品不同需求加载相关启动，比如 USB、音频、WIFI、显示、蓝牙等模块，最终完成开机启动，进入普通操作界面。
- 系统支持 watchdog 应用监视系统的运行，当程序跑飞或者发生死循环时，watchdog 模块会发出一个复位信号，使 CPU 复位，软件系统重新启动。

1.3. CPU 及 CPU 周边

1.3.1. 24M 时系统

时钟系统 pin 脚说明:

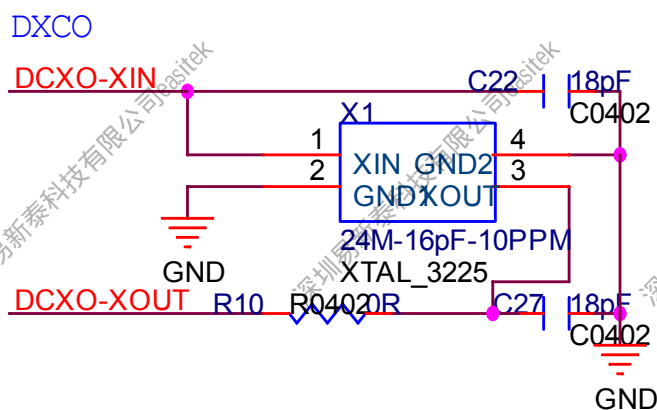
信号名	信号描述	应用说明
DXIN	DCX0 晶振输入	DCX0 晶振电路
DXOUT	DCX0 晶振输出	
REFCLK-OUT	主时钟扇出	供高频时钟至外部 WIFI 模块使用
X32KFOUT	32K 时钟扇出	可供低频时钟至外部 XR819/XR829WIFI 模块使用
DXLDO-OUT	DCX0 低压供电, 由内部模块产生	外接 220nf 电容



说明

- H618 DCX0 模块只支持 24M 主时钟 (32KFOUT 不在 DCX0 模块)。
- DCX0 时钟模块可以通过 REFCLK-OUT PIN 扇出与主时钟同频率的 CLK 信号给 WiFi 模组使用, 使用 24Mfanout 请联系 FAE 确认使用环境。
- 晶振选型参考如下:
 - 当需要 DCX0 扇出时钟给 WIFI 使用时, 晶振选型频偏 $\leq 10\text{ppm}$;
 - 当不需要 DCX0 扇出时钟给使用时, 晶振选型频偏 $\leq 20\text{ppm}$ 。
- 外挂匹配电容大小根据晶振规格和 PCB 而定, 要求匹配电容+板级杂散电容总值等于晶振规格的负载电容大小要求, 原型机标案设计采用 18pF 负载电容;
- 串接电阻需要预留位置, 便于调试振荡幅度。

主时钟电路推荐参考设计如图所示。



1.3.2. SOC 重要 pin 说明

- JTAG-SEL: H618 只有一个 JTAG 配置 pin: , 默认内部上拉。
 - 0: 强制 JTAG 功能从 PG 口;
 - 1: 软件可配置从 PF 或 PG 口, 寄存器默认值为 PF。

- BOOT_SEL: BROM 会读取 BOOT_Select 的状态, 选择从外部那种存储介质引导, 加快启动时间。

H618 有 4 个 boot_sel pin 与 PC 口复用, 配置关系如下表:

Bit[10]	Bit[11]	Bit[12]	Bit[13]	Media
1	1	1	1	MLC NAND
1	1	1	1	SLC NAND
0	1	1	1	eMMC USER
1	0	1	1	eMMC BOOT
1	1	0	1	SPI_NOR
1	1	1	0	SPI_NAND

4 个 boot_sel 与 PC 复用关系如下:

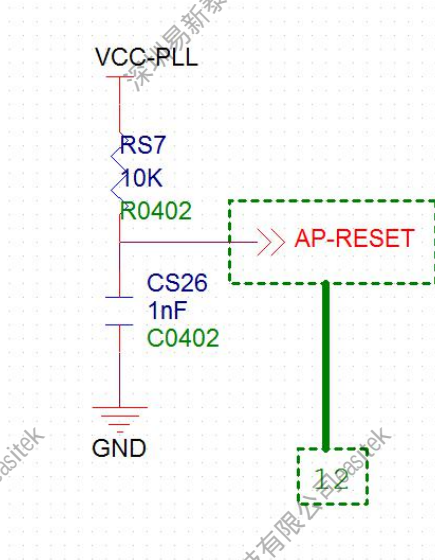
Bit[10]→PC3

Bit[11]→PC4

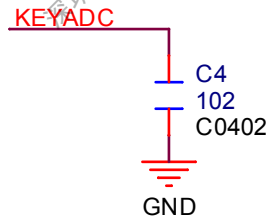
Bit[12]→PC5

Bit[13]→PC6

- AP-RESET: 系统重启信号, 需要上拉到 VCC-PLL 上, 同时保留 RC 与 D1ESD 器件, 是为了保证系统 ESD 时, 系统 reset 不被干扰。



- KEYADC 对地电容为按键去抖动电容。

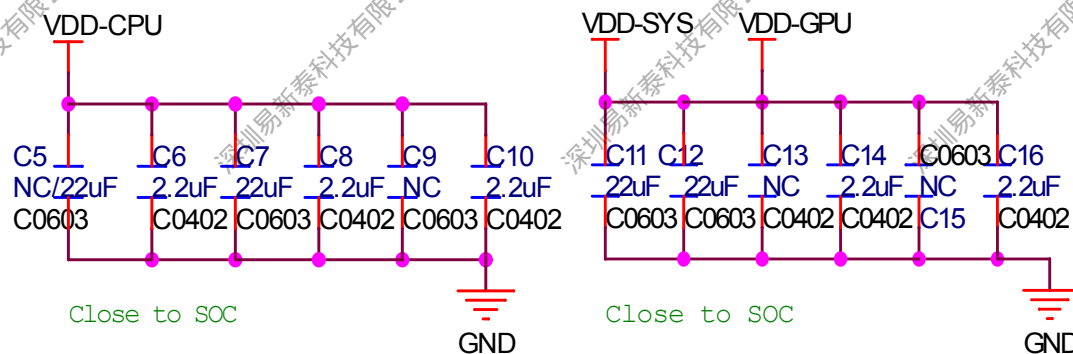


1.4. 电源方案设计

1.4.1. SOC 旁路电容

H618 SOC 端各电源建议容值如下：

- H618 为 4 核 A53 CPU，最高性能 1.5GHz，满载电流可以达到 1.8A，因此在靠近 DCDC 端与 SOC 端都有放置 22uF 电容。
- GPU 和 SYS 合并电源域供电，GPU 不可以进行动态调压。同时 SYS 内包含了 VE、DE 等大电流模块，同时 GPU 在开关核应用中会产生瞬间大电流，需要 2 颗 22uF 电容尽量靠近 pin 脚位摆放；
- VCC-IO/VCC-PC/VCC-PE/VCC-PG/VCC-PLL/VCC-EFUSE 电源外挂 100nF 电容，靠引脚放置。
- VCC-DRAM 电源需要有一个 10uF 电容以上，靠近 SOC 引脚放置。
- 各模块的滤波电路设计电路不可修改。



1.4.2. 供电电源方案

H618 采用配套设计的 AXP313A PMIC 方案，各路电源需求如下：

电源分支	电压	电压精度	纹波噪声	场景最大电流	PMU 供电能力
CPU	0.9V	0.9V+5%	< 90mV	1.8A	3A
SYS+GPU	0.94V	0.94V+5%	< 90mV	1.6A	1.5A
DRAM	1.5V	1.5V±10%	< 125mV	1A	2A
Module	1.8V	1.8V±1%	< 30mV	100mA	300mA
IO normal	3.3V	3.3V±10%	< 125mV	200mA	500mA

- AXP313A 通过 PL 口的 IIC 信号控制，PL 的供电与 VCC-PLL 内部连接在一起，因此 IIC 上拉到 VCC-PLL。
- CPU 支持 DVFS 动态调频功能，通常需要单独供电保证 CPU 的性能；
- GPU 与 SYS 一起供电节省一路供电，由于 SYS 不支持动态调频功能，因此该路不能调压；
- VCC-DRAM 可以支持 DDR3、DDR4、LPDDR3、LPDDR4 不同颗粒供电，不同 DRAM 类型通过软件识别自动匹配到合适供电电压；
- 各个模块供电要求供电精度 1%，最低供电电压不能低于 1.78V，否则会影响 video 性能以及温度 sensor 精度；

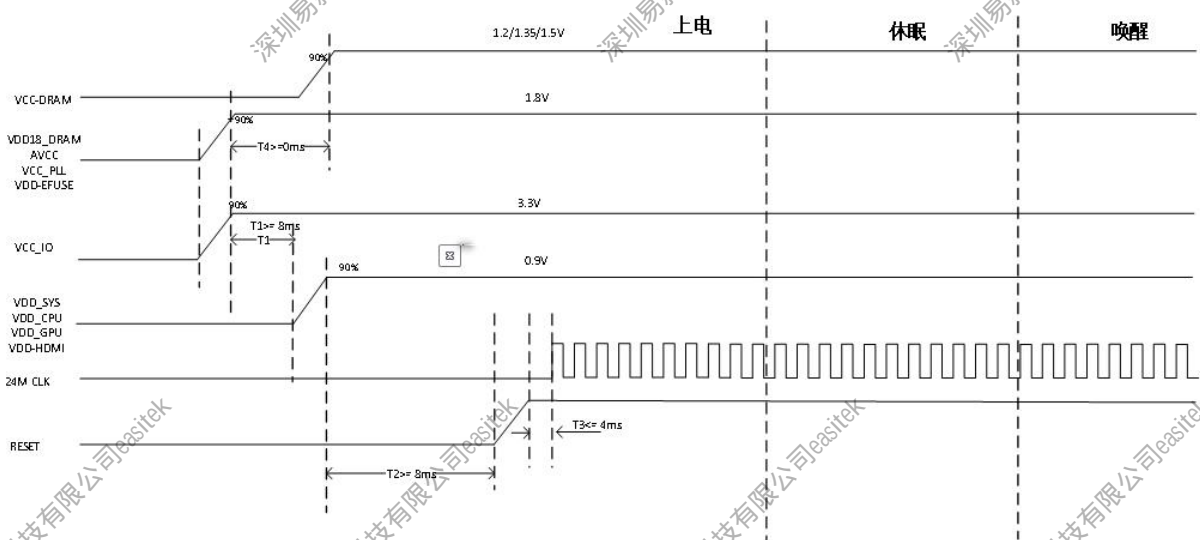
- 某些 wifi 模块在打开瞬间 IO 在大电流需求，建议是单独供电，如果与 3.3V IO 一起供电，建议使用 1A 的 LDO；
- 5G WiFi 等工作功耗较大的 WiFi，建议单独外挂 DCDC 给 WiFi 供电。
- 若对应产品的 EMMC 或 EMCP 颗粒的负载电流较大，超出 ALD01 和 DLD01 规格时，建议外挂 1.8V 或 3.3V 电源供电，保证系统稳定性。

1.4.3. 上电时序

H618 使用定制的 AXP313A PMIC 芯片，已经针对 H618 芯片设计进行烧码，定制开机上电时序与上电电压。H618 上电时序要求：

- VDD-SYS 要求比 VCC-PLL 晚 8ms，保证系统模块正常 reset；
- VCC-IO 与 VCC-PLL 同时上电，避免 1.8V 与 3.3V 之间的漏电；
- VCC-DRAM 不能早于 VDD-DRAM 先上电；
- 所有模块上电稳定后进入 reset，然后输出 24M 时钟，该部分由内部控制；

上电时序如下图：

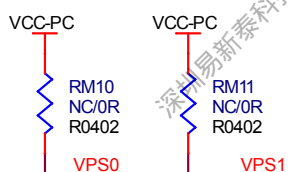


1.5. DRAM 设计

- H618 支持 DDR4、DDR3/3L、LPDDR3、LPDDR4 类型颗粒，内部 DRAM 控制器为单通道 32-bits 位宽控制器，支持双片选，最大支持 4GB DRAM 空间。
- 全志提供各类 DRAM 设计模板，信号连接与滤波电容数量与容值选择，位置摆放严格参考模板设计；
- 主控和 DRAM 端每一个 ZQPIN 都必须接 240R-1%精度的下拉到地电阻；
- SDQ0-SDQ7, SDQ8-SDQ15, SDQ16-SDQ23, SDQ24-SDQ31 分别为 4 组数据线，memory 端可以进行组内或者组间交换，若进行组间交换，则相应的 SDQM 和 SDQS 差分对也必须对应交换，可视 PCB 走线难易程度进行组内或组间交换；为了保证信号质量，DRAM 部分严格按照标准原理图设计，不准随意更改；

1.6. eMMC&Nand

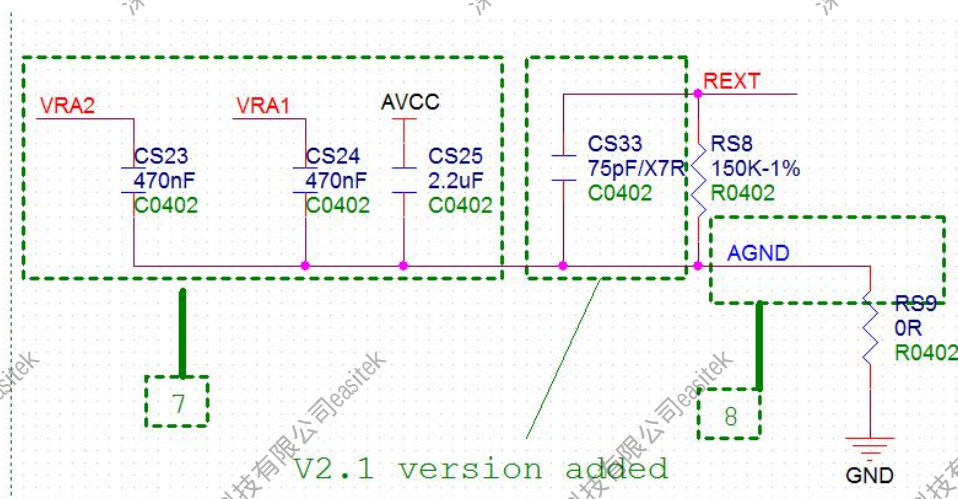
- H618 支持 SPI, Nandflash、eMMC5.0, 支持 NAND 与 eMMC 双 layout 设计;
- 如果使用 Sandisk 或 Toshiba 的 nandflash, 需要将 VPS0 和 VPS1 上拉, 其它默认悬空;



- eMMCclk 线需接 33R 电阻, 为了更好的阻抗匹配, 降低信号的干扰; cmd 线需要上拉 10K 到 VCC-PC 上;
- eMMC 支持了 eMMC5.0, 使用 eMMC5.0 时需要将 pin 脚接地, 如果不使用 eMMC5.0 则 pin 脚悬空;
- eMMC 所有电源和地引脚都要连接; eMMCNC/RFU 等保留引脚都悬空, 不可为便于出线, 将这些信号与电源、地、或其他 eMMC 信号连接在一起;
- eMMC 信号连接到 CPU 的一组 GPIO 上该组 GPIO 的供电必须与 eMMC VCCQ 使用同一路电源, 避免产生上电时序问题, 导致兼容性问题;

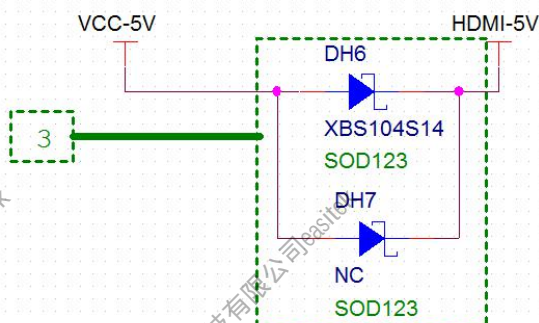
1.7. Audio

- CODEC 的旁路电容等参数不能修改, 这些参数会影响内部的上电时序, 修改了可能导致音频部分上电出现噪音等问题, 参考电容尽可能靠近 ICBALL 排布。
- AVCC 为内部电路参考电平, 精度要求 1% 以内, 最低电压 SOCpin 脚电平大于 1.78V。

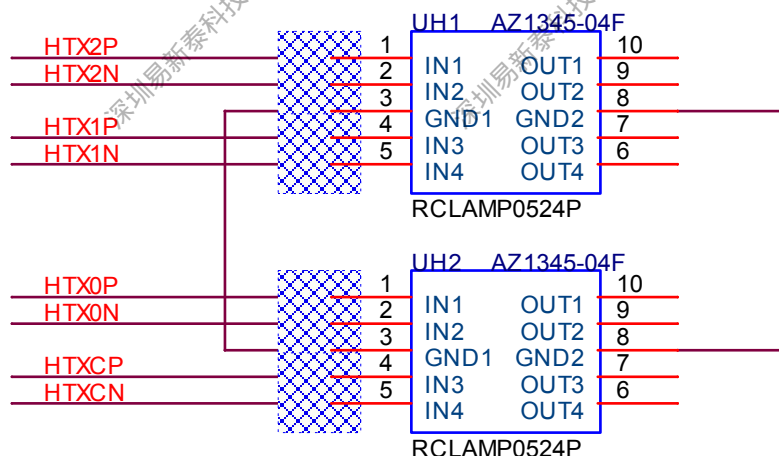


1.8. HDMI

- H618 HDMI IIC 与 CEC 内置 levelshift 电路, 支持直连 device;
- HDMI 的 5V 供电必须串接肖特基二极管, 防止关机后电视漏电, 普通二极管压降高, 容易导致 HDMI 的供电低于 4.75v, 避免引起兼容性问题, 请选用导通压降低的肖特基二极管;



- HDMI 差分线上使用 ESD 器件的动态电阻 (R_{dyn}) 小于 0.35 欧, 工作电压 5v, 寄生电容小于 0.35pF, 建议使用 AZ1345-04F;



1.9. 网口设计

H618 内置集成了 GPHY 与 EPHY, GPHY 可支持 10/100/1000M 的 GMAC, 支持 RMII/RGMII 接口。

RGMII 接口应用设计:

- GMAC 复用于 PI 口, 支持 RMII/RGMII, 有单独的 VCC-PI 可灵活调整工作电压以适应于不同 PHY 的接口模式与电压模式。

EPHY 接口应用设计:

- 接口的 4 颗 75 欧电阻使用 0805 封装, 因为在雷击时小封装会被烧毁;
- 高压电容封装不能小于 1206, 并且高压电容的耐压不能小于 2KV;
- 高压部分的走线和器件需要远离其它低压信号或器件, 距离必须大于 50mil, 否则雷击时容易出现串扰导致其它靠近器件损坏;
- 以太网差分线上串接排阻的阻值不能太大, 建议预留 0 欧, 有利于改善雷击测试;
- PH2 复用 EPHY-SPD-LED, PH3 复用 EPHY-LNK-LED, 可以通过软件 disable PH2、PH3 的 IO 功能, 配置 EPHY 的 EPHY-SPD-LED 与 EPHY-LNK-LED 输出。

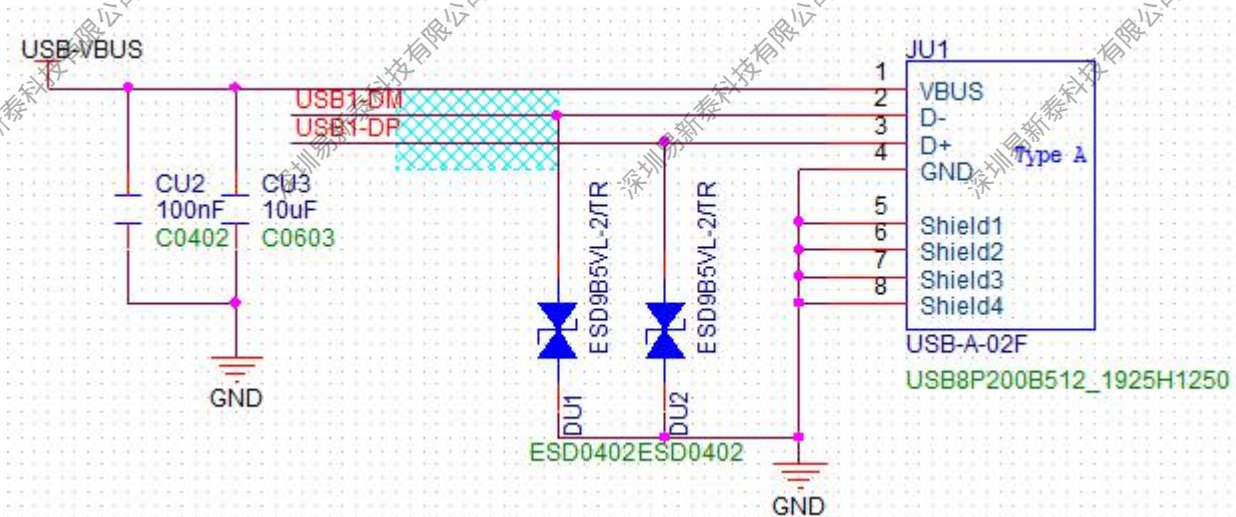
1.10. SDCARD

- card IO 支持内部 1.8V/3.3V 自动切换, 默认使用 3.3V。SDC0_CMD 与 SDC0_DET 信号在内部已经有上拉, 因此外部上拉可以 NC。
- ESD 器件寄生电容不能大于 10pF, 否则会影响信号质量。
- 卡检查信号 SDC0-DET 的上拉电源所使用的 GPIO 供电电源一致, 因为卡检查与卡本身没有关系, 只是通过一个 GPIO 的状态来判断卡的插入。



- 深圳易新泰科技



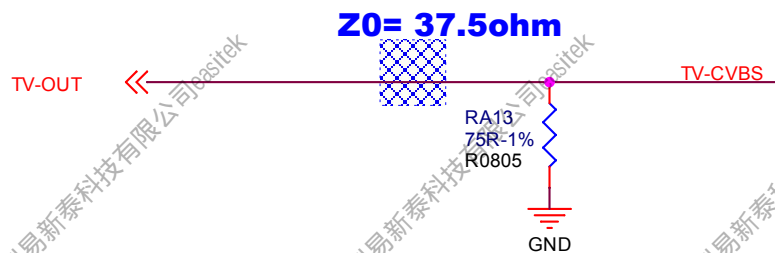


1. 12. WIFI 射频电路

- WIFI 的 IO 供电与主控的 PG 口电源保持一致, 保证主控和外设电平匹配。H618 DCX0 晶振电路能够 fanout 24M clock 信号给 wifi 芯片使用, 节省一颗晶振;
- SDIO 的 clk 上需要串接 33R 电阻, 并要并接一个 5.6pF 电容到地, 降低 clk 上的辐射干扰, 因为 sdio 的 clk 本身也是会干扰 wifi。
- UART 和 PCM 的 TX/RX 连接需要注意信号交叉。
- 如果在规格上想支持蓝牙唤醒的话, WIFI 部分的电源必须使用外挂独立的电源模块。如果无此规格可以直接使用 PMUCLD02 和 CLD03 上面的电源即可。

1. 13. TVOUT

- CVBS 端口的 75 欧电阻需要使用 0805 封装, 因为 CVBS 输出电流型的, 电流会流经该电阻, 如果电阻封装太小会发热烧坏该电阻。



2. PCB 设计要点

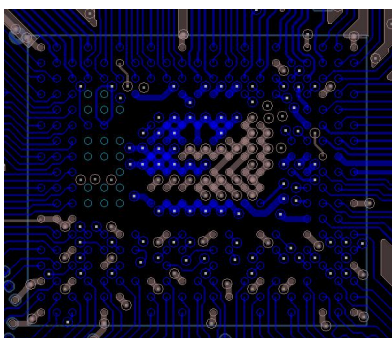
2.1. 叠层设计

四层板，叠层结构和阻抗控制建议如下（如果需调整板厚，请调整 2、3 层之间介质厚度，保持其他介质厚度不变）：

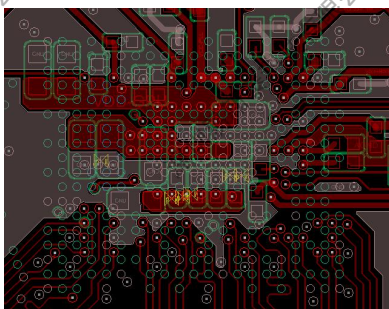
Total layers:	4						
Board thickness:	1.6 mm +/- 10%						
PCB material:	Typical FR4						
Surface finish:	ENIG(化学镀金)						
Stackup Control Table							
---	Stackup Structure				Impedance Requirements		
Layer	Type	Thickness (mil)		Dk(with Sim Z0)	Impedance spec (Ohms)	Reference layer	Width/Space (mil)
	solder mask	0.5	SM	3.8			
1	TOP	1.6	0.3oz+plating		50±10%	2	4
					90±10%	2	4.5/6.5
					100±10%	2	3.8/6.7
	prepreg	2.9		4			
2	GND	1.2	1.0oz				
	core	50		4.5			
3	PWR	1.2	1.0oz		50±10%	4	4
					90±10%	4	3.8/6.7
	prepreg	2.9		4			
4	BOTTOM	1.6	0.3oz+plating		50±10%	3	4
					90±10%	3	4.5/6.5
					100±10%	3	3.8/6.7
	solder mask	0.5	SM	3.8			
	Board thickness	62.4					

2.2. SOCfanout

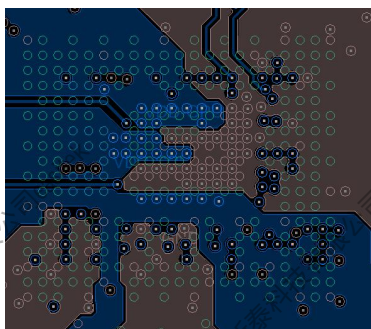
- 第一圈、第二圈、第三圈部分 Ball，可以从顶层直接拉出走线（线宽 4mil，线距 4mil）；



- 第四到五圈的 Ball，用 8/16mil 过孔扇出，从 Bottom 层出线；Via 优先走 Via 通道，留出尽量多的走线通道；



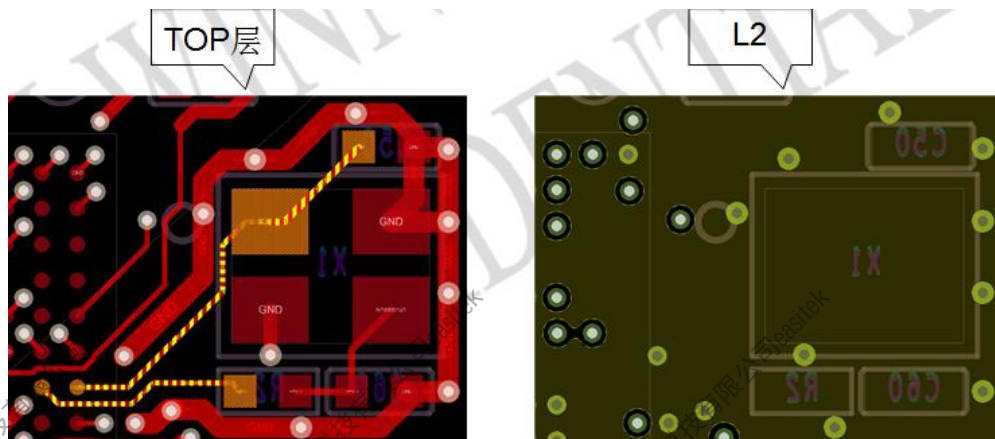
- 中间 Power 和 GND 的球，用 8/16mil 过孔从内层覆铜出线，注意留出尽量多的覆铜通道；



2.3. 24M 晶振

- 晶振尽量靠近 IC 摆放，使 X24M1 和 X24M0 走线小于 400mil，减少 PCB 走线寄生电容，保证晶振频偏精度；
- 晶振的匹配电容必须靠近晶振管脚摆放；
- 晶振及其走线区域的外围和相邻层，用 GND 屏蔽保护，禁止其它走线；

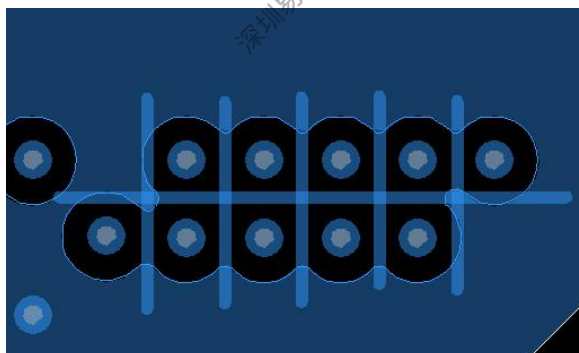
下图为 24M 晶振 layout 参考模板



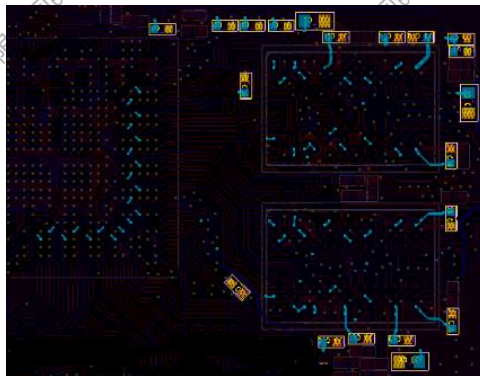
2.4. DRAM

● 全志 DRAM 模板经过 SIPI 仿真优化或开发板性能验证, DRAM 设计请直接移植全志公司提供的 PCB 模板, 以确保 DRAM 性能和稳定性;

- 如果条件限制无法完全导入模板, 请参照模板说明进行 Layout, 并确保以下关键点:
 - 所有走线的相邻层必须有完整的电源平面或地平面, TOP 走线相邻层是完整的 GND 平面, Bottom 相邻层是完整的 VCC-DRAM 电源平面;
 - 差分对 (CK/CKB、DQSx/DQSBx) 控制差分阻抗 100ohm (4 层板内层允许按 90ohm 控制), 与其他网络的间距 4W, W 为线宽。
 - 菊花链 fly-by 拓扑, 时钟信号在靠近 SOC 端跨接 2.2pf 电容, 在最远颗粒端跨接 100ohm 电阻。
 - DDR 颗粒如果大于 4 颗, CK/CKB 和 CS 信号需要走 Tee 型拓扑, 其他地址控制线走 fly-by。
 - 单端线控制阻抗 50ohm, 间距 2W, W 为线宽。
 - Vref 走线与其他网络的间距大于 4W, 滤波电容尽量靠近管脚放置。
 - 调整好过孔的位置、间距, 减少对电源、地平面的破坏。平面断开处用走线连接。



- 电源滤波电容尽量靠近电源管脚放置, 最好能放置在电源管脚下方的 PCB 背面。每个电容至少各一个电源过孔和地过孔, 电容均匀分布, 大小搭配, 小电容优先靠近电源管脚。
- 单面布局, 电容尽量靠近电源管脚

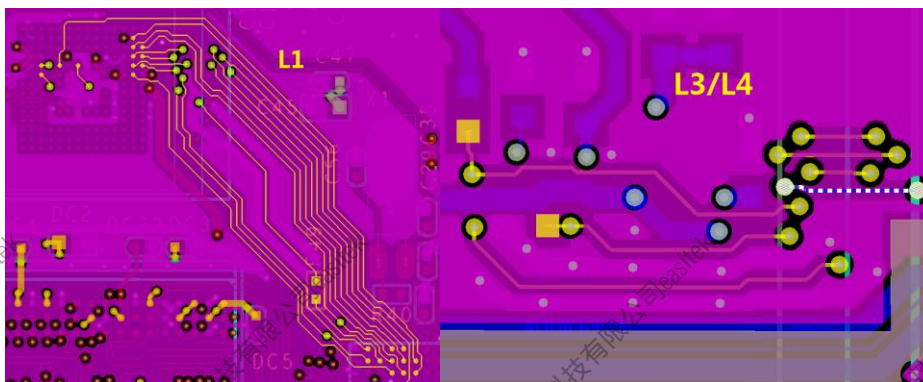


- 双面布局，电容放置在电源管脚下方的 PCB 背面



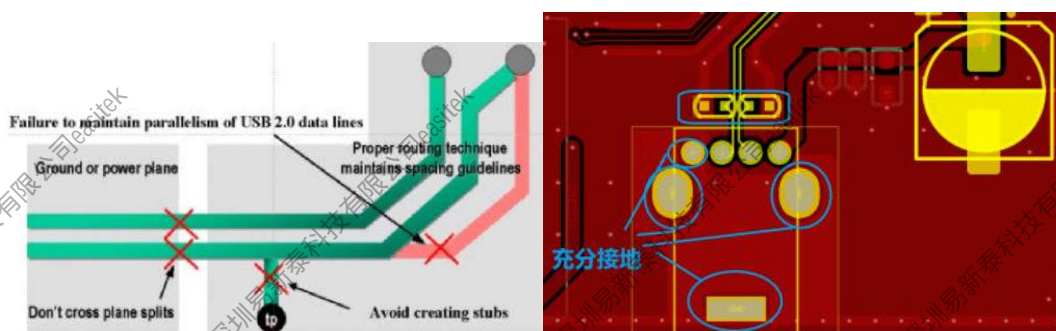
2. 5. NAND-EMMC

- 信号线走线要求：
 - eMMC 与主控间走线长度 $\leq 2000\text{mil}$ ；
 - 走线阻抗 50 欧；
 - 线间距 ≥ 2 倍线宽；
 - D0~D7、DS 相对 CLK 等长控制 $\leq 300\text{mil}$ ；
 - D0~D7 上使用过孔的数量尽量相同
- CLK 和 DS 信号做包地处理，包地通过过孔与 GND 平面连接。如果不能包地则保持线间距 ≥ 3 倍线宽；
- eMMC 保证所有信号走线参考平面完整；
- 走线尽量避开高频信号；
- VCC/VCCQ 线宽不小于 12mil，或直接使用敷铜代替电源走线；电源线上如有过孔，则过孔数量不少于 2 个，避免过孔限流影响供电；
- 如果期望 eMMC 运行在较高频率，则建议只使用 eMMC，保证主控 IO 与 eMMC 点对点连接。如果 NAND/eMMC 双 Layout 时，走线采用菊花链方式，将 eMMC 作为走线的终点，尽量减少分叉线长度；



2.6. USB

- VCC-USB 走线线宽 $8\sim 12\text{mil}$ ，VCC-USB 的 $0.1\mu\text{F}$ 电容，需要靠近 IC 摆放；
- USB-5V 线路上电流最高可达 1A，线宽建议控制在 40mil 以上，电解电容靠近座子放置；
- USB-DM/USB-DP 信号差分走线，差分阻抗为 90 欧姆，保证走线相邻层有连续完整的同一参考平面；
- USB-DM/USB-DP 建议与其它信号的间距大于 10mil ，避免走线走在器件的下面或者与其他信号交叉；
- USB-DM/USB-DP 走线在有空间的情况下，走线两边包地并打地过孔；
- USB-DM/USB-DP 走线拐角的角度需保证大于等于 135° ；保证 USB 走线的长度控制在 4000mil 以内，走线的过孔不超过 2 个；
- TVS 器件需要靠近 USB 座子摆放；
- USB 座子金属外壳接地管脚 TOP 面建议全铺接地，其他层也建议充分接地；



2.7. 音频

- AVCC/VRA1/VRA2/AGND 接地电容、电阻依次靠近主控摆放；
- PCB 走线 AVCC 线宽 $\geq 25\text{mil}$ ；VRA1/VRA2 线宽 $\geq 10\text{mil}$ ；线长 $\leq 300\text{mil}$ 。远离高速干扰信号；
- AGND 部分 PIN 分地处理。
- LINEOUT 走线远离高速信号线，如 DRAM。禁止在高速信号线相邻层走线，若要平行或交叉，中间须有“地”层隔离，音频信号容易受到干扰，且禁止在高速信号线附近打孔换层，这样容易出现高速信号在换层时参考不连续，从而回流路径不确定导致干扰音频信号。

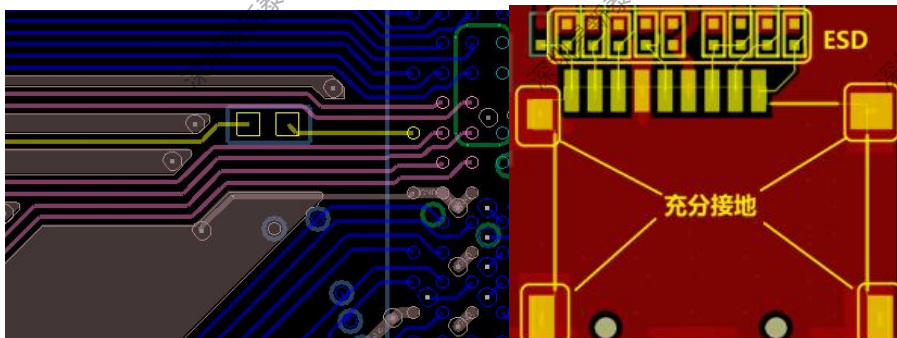
2.8. HDMI

- 阻抗控制在 $90\sim 100\Omega$ ，不建议打过孔
- 在满足阻抗的前提下线宽的要求，线宽的基本原则是越宽越好。
 $W=5.5\text{mil}$ ； $C=9\text{mil}$ ，（推荐）
 $W=4.5\text{mil}$ ； $C=8\text{mil}$ ，（基本）；
- 差分线对内等长误差约 $<10\text{mil}$ ；差分线对间等长误差约 $<100\text{mil}$ ；
HDMI 信号线长度应该 $<3000\text{mil}$ 。
- HDMI 差分走线拐角 135° 最好为圆弧，保证完整参考层。
- ESD 器件靠近 HDMI 座子摆放。
- 差分线上如果兼容共模电感和 0 欧电阻，请保证 0 欧电阻焊盘尽量与共模电感的焊盘重叠，尽量减小焊盘对差分线的阻抗影响。

2.9. Card

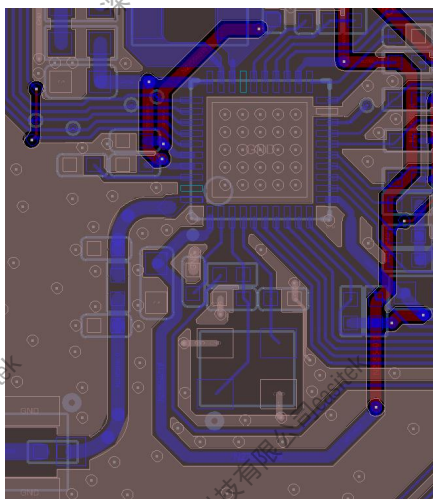
- 信号线走线阻抗 50 欧，线间距不小于 2 倍线宽，D0~D3 相对 CLK 等长控制 $<500\text{mil}$ ；
- CLK 串接电阻靠近主控摆放，串阻与主控 CLK 连接走线距离 $\leq 300\text{mil}$ ；
- VDD 网络上的电阻和电容网络靠近卡座摆放，VDD 走线宽度不小于 12mil ；
- 走线尽量避开高频信号，信号线走线参考平面完整；

- CLK 做包地处理，包地通过过孔与 GND 平面连接。如果不能包地则保持线间距 ≥ 3 倍线宽；
- ESD 器件靠近卡座放置，卡座管脚走线先经过 ESD 器件，再连其它器件；
- 卡座外壳接地要充分；



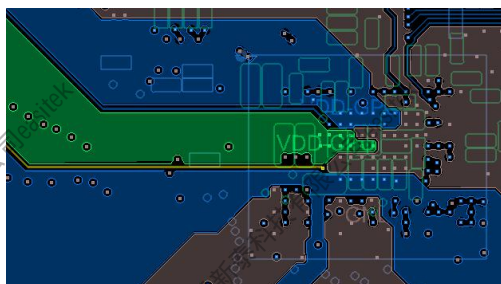
2.10. WIFI 和天线

- RF 走线需要考虑线段的宽度，满足阻抗设计在 50 欧；
- RF 走线越长、越细，能量损失越大，所以 RF 走线需要越短、越宽就越好；建议线长小于 6cm；
- RF 走线需要在相邻层或隔层有一片完整的铺铜作为信号的参考地（建议使用隔层参考，能保证 RF 走线足够宽，减小损耗）；
- RF 走线离板边距离至少大于 3mm；
- RF 走线不能分叉或换层，走线有转角请采用弧线；
- RF 走线使用过孔均匀环绕在四周，过孔间距 $W, 0.5\text{mm} \leq W \leq 1\text{mm}$ ；
- RF 走线回路路径完整，避免回路路径上跨分割，保证 RF 走线的地完整的回到模组底下；
- 外挂晶振部分需要包铜，一直到 pin 脚部分，如果晶振 pin 脚与电源 pin 相邻，请将电源走线或干扰信号尽量远离晶振走线，尽量用铜隔离；
- WIFI 部分需要用地完整包围，尽量降低干扰；
- WIFI 底部尽量多打地过孔，保证接地充分；
- WIFI 底部参考层必须有完整的参考平面，参考层为完整地，否则会影响 RF 指标；
- HDMI、DDR 会对 wifi 有比较大的干扰，设计时需要考虑放置位置远离以上干扰源；
- 如果 wifi 与系统时钟共用，必须保证 wifi 时钟走线全程包地，否则会导致时钟走线容易被干扰，导致 RF 测试不过，并不要与 SDIO 平行走线，远离干扰信号或电源；
- SDIO 的走线要先穿过滤波电容再进入 wifi，能保证有比较好的滤波效果；
- WIFICKL 上的并联电容和串接电阻靠近主控端摆放；
- WIFISDIO 做等长处理，控制在 50mil 内。

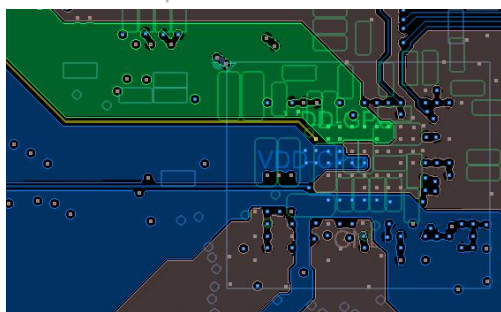


2.11. 电源

- PMIC 及电感、电容等主要器件建议放置在同一层；对于 PMIC 使用面积特别紧张的，可以把电感电容等大器件放在 PMIC 底层正下方；DCDC 输出电容建议与电感垂直放置，减少纹波测试引入电感 LX 信号的干扰；
- 电感如与 PMIC 相接，保证电容位置的前提下，尽量靠近 PMIC 的 LXpin。线宽保证电流需求即可；
- VREF 的电容尽量靠近 Pin 脚，电容接地点尽量远离跳变点，避免干扰；
- 系统与 PMIC 的通讯信号，也是跳变信号，避开敏感信号；
- 电压反馈线，输出电压经过电容滤波后，紧挨电容取点，用 4~10mil 的线引入 PMIC 即可，最好不要从电感下方、交流路径下方或者紧挨 CLK 之类的跳变信号；建议 CPU/SYS/DRAM 供电时，采用远端反馈。如果 SOC 有反馈 pin 则连接至反馈 pin，如果没有反馈 pin，则连接至远端反馈电容两端。反馈线从底层信号层走线，沿其电源平面一起走到负载；
- PMIC 底部 PAD 多打孔到地层相连，在地层用全连接方式，利于散热；



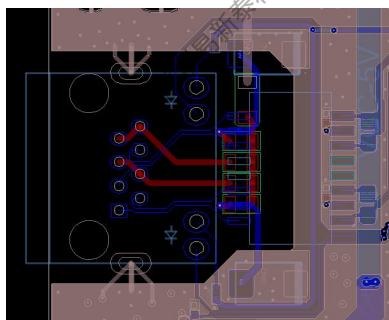
VDD-CPU&VDD-CPUFB



VDD-GPU&VDD-GPUFB

2.12. EPHY

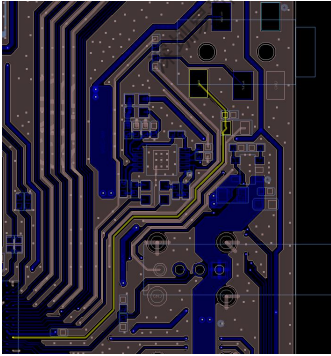
- 保证以太网变压器的底部不要走线并禁铜，防止地上的干扰耦合到变压器或走线影响信号质量。



- 板上其他信号，尽量远离初、次级信号，以及匹配电阻/共模电容，举例不小于 50mils。防止在雷击时串扰到附近的走线或器件上，导致器件损坏。

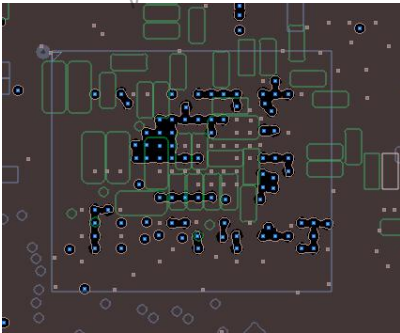
2.13. TVOUT

- CVBS 走线必须两端包地处理，避免出现和电源并排长距离走线。否则会影响输出信号质量；



2.14. 散热

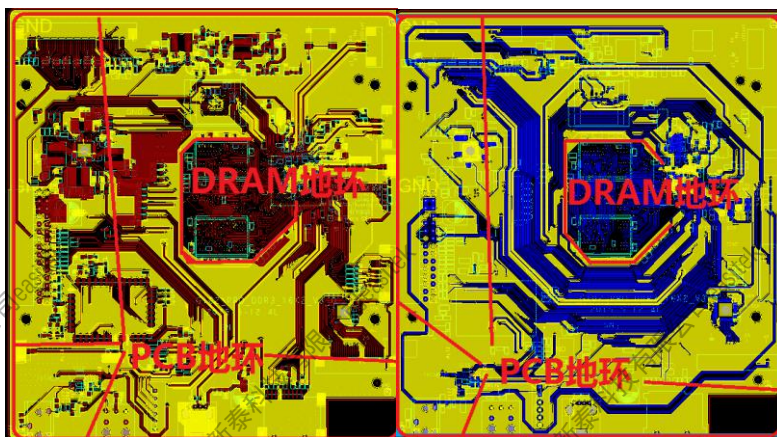
- 尽量保证 GND 平面和电源层各电源部分平面的连续性和完整性；
- 在 PCBLayout 空间允许的情况下，在 PCB 底层的地也尽可能有大的铜皮利于散热；
- CPU 中间区域的 Ball 是把热传导到其他平面层和底部的主要途径，需要保证与 Ball 连接的 Via 数量, 建议 via 孔径 10~12mil, 孔中心间距为 30~40mil；在不使用的 GPIO 附近也可以尽量的增加 Vial 数量；
- 在 PCBLayout 空间允许的情况下，在 PCB 底层的地也尽可能有大的铜皮利于散热；



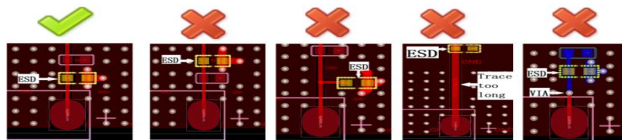
- PCB 板上较大功率器件均匀摆放，避免多个热源靠在一起，SOC 尽量靠芯片中间放置, PMU 距离 SOC 2cm 以上；

2.15. ESD

- SOC 摆放必须朝上，保证 SOC 离地耦合距离足够远，如果因为模具限制 SOC 必须朝下，则需要 SOC 与 DDR 外围增加金属屏蔽壳保护；
- PCB 层叠设计必须保证不少于 1L 完整的 GND 平面，所有的 ESD 泄放路径直接通过过孔连接到这个完整的 GND 平面；压缩第三层不必要的电源走线面积，尽可能多的铺 GND；
- 在 PCB 四周增加地保护环；DDR 线束四周建议用 GND 保护；



- 关键信号 (RESET/NMI/Clock 等) 与板边距离不小于 5mm，同时必须与走线层的板边 GND 铜皮距离不小于 10mils；
- CPU/DRAM/晶振等 ESD 敏感的关键器件，离外部金属接口的距离不小于 20mm，如果小于 20mm，建议预留金属屏蔽罩，并且距离其他板边不小于 5mm；
- POWER 平面要比 GND 平面内缩不少于 3H (H 指 POWER 平面相对 GND 平面的高度)。
- 关键信号 (RESET/NMI/Clock 等) 尽量避免与外部接口信号 (USB/SD/HP 等) 或经过 IO 附近的走线相邻并行走线；如果不可避免，相邻并行的走线长度不超过 100mils；IO 保护地下方尽量不要走线，在必须走线的情况下建议走内层；
- 主控 reset 信号建议增加 1nF 电容接地，电容靠近主控摆放；电容接地端需用过孔加强连接；reset 走线需要用 GND 走线保护；
- 对于其他外设上的 reset 信号，在靠近芯片管脚的位置需增加 1~100nF 电容；
- 无论外部接口信号还是内部信号，走线必须避免多余的桩线；
- 必须保证外部连接器 (USB/SD) 金属外壳接地良好，在板边直接通过过孔连接 GND 平面，每个 GND 焊盘与 GND 平面之间的连接过孔不少于 3 个；
- 外部接口信号 (USB/SD/HP) 必须连接外部 ESD 器件，进行 ESD 保护。如下图所示，外部接口信号 ESD 器件放置位置尽可能靠近外部连接器，与连接器间避免过孔；ESD 器件接地端直接通过过孔连接到 GND 平面，而且过孔数量不少于 3 个；从外部接口进来，必须最先看到 ESD 器件；ESD 器件的信号端与外部信号端必须尽可能短，尽可能宽，建议直接搭接在信号走线上；



3. Declaration

This document is the original work and copyrighted property of Allwinner Technology (“Allwinner”). Reproduction in whole or in part must obtain the written approval of Allwinner and give clear acknowledgement to the copyright owner.

The information furnished by Allwinner is believed to be accurate and reliable. Allwinner reserves the right to make changes in circuit design and/or specifications at any time without notice. Allwinner does not assume any responsibility and liability for its use. Nor for any infringement of patents or other rights of the third parties which may result from its use. No license is granted by implication or otherwise under any patent or patent rights of Allwinner. This document neither states nor implies warranty of any kind, including fitness for any particular application.